

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-212483

(43)Date of publication of application : 25.08.1989

(51)Int.Cl.

H01L 33/00

H01L 21/20

H01L 21/76

H01L 27/04

(21)Application number : 63-036863

(71)Applicant : NEC CORP

(22)Date of filing : 19.02.1988

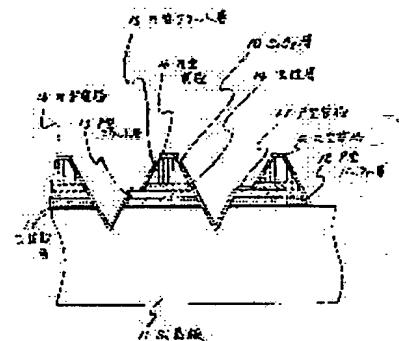
(72)Inventor : MATSUMOTO TAKU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a III-V compound semiconductor device, where two or more elements are electrically isolated from each other on a Si substrate by a method wherein the Si substrate and two or more elements are electrically isolated from each other using a P-type conductivity buffer layer.

CONSTITUTION: A p-type buffer layer 12 of a GaAs layer doped with zinc, a p-type clad layer 13, an active layer 14, and an n-type clad layer 15 are successively laminated on a Si substrate 11 to form a double hetero-structure crystal. A (Si diffusion layer 19) is formed inside the p-type buffer layer 12. Then, electrodes 16 and 17 are built to form an LED array, and when a current is applied to the n-type electrode 16 and the p-type electrode 17, the LEDs are made to operate independently of each other through the current blocking effect of a SiO₂ layer 18 and a pn block layer composed of the p-type buffer layer 12 and the Si diffusion layer 19. By these processes, a III-V compound semiconductor device provided with two or more elements which are formed on a Si substrate can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-212483

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月25日

H 01 L 33/00
21/20
21/76
27/04

A-7733-5F
7739-5F
D-7638-5F
A-7638-5F
7514-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-36863

⑯ 出 願 昭63(1988)2月19日

⑰ 発 明 者 松 本 卓 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称
半導体装置

特許請求の範囲

シリコン(Si)基板上のⅢ-V族化合物半導体結晶に作成された複数の素子を有する半導体装置において、Si基板とⅢ-V族化合物半導体中の活性領域の間にP型の導電性を示すⅢ-V族化合物半導体から成るバッファ層を有することを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明はSiを基板としたⅢ-V族化合物半導体装置の構造に関する。

(従来の技術)

近年、Si基板上にⅢ-V族化合物半導体結晶を成長させる試みがなされており、特にⅢ-V族

化合物半導体結晶の中でもGaAsについて最も活発に研究開発がなされている(ジャパニーズジャーナル オブ アプライド フィジックス(Jpn. Appl. Phys.)23(1984) L843)。またSi基板上のⅢ-V族化合物半導体装置についても単体デバイスについては半導体レーザやP-E-Tなど各種デバイスが開発されている。

(発明が解決しようとする課題)

ところで光電子集積回路(OEIC)や発光ダイオードアレイ(LEDアレイ)等の複数の機能を有するⅢ-V族化合物半導体装置は一般的に半絶縁性Ⅲ-V族化合物半導体結晶基板上に構成されることが多い。これは半絶縁性基板を用いると、導電性基板を用いるより素子分離が有利なためである。

ところがSi基板には半絶縁性Ⅲ-V族化合物半導体結晶基板ほど高抵抗基板がなく、その比抵抗は $10^3 \Omega \cdot \text{cm}$ 程度で素子分離には不十分である。このためSi基板上に光電子集積回路(OEIC)やLEDアレイ等の複数の素子を有

するⅢ-V族化合物半導体装置を形成すると各半導体装置からSi基板に電流が漏洩し、隣接した半導体素子に影響を及ぼしてしまい実質的にSi基板側を共通接地で用いざるを得なかった。

(課題を解決するための手段)

本発明によればシリコン(Si)基板上のⅢ-V族化合物半導体結晶に作成された複数の素子を有する半導体装置において、P型の導電性を有するバッファ層を用いてSi基板と素子間の電気的な分離を行なうことによってSi基板上の複数の素子を電気的に分離したⅢ-V族化合物半導体装置が得られる。

(作用)

Si基板上にⅢ-V族化合物半導体結晶を成長させると基板材料のSiがⅢ-V族化合物半導体結晶中に拡散することがSIMS分析の結果からわかり、またGaAs、InP等多くのⅢ-V族化合物半導体結晶中にSiが不純物として取り込まれるとn型ドーバンとして作用し、成長界面に数百Å程度のn⁺高濃度層が形成されていること

がC-V測定の結果明らかになった。

またさらに数μmにわたってSiの拡散によるn型拡散領域が形成されていることが判った。

このようなn型不純物の拡散領域が存在する場合には、深い準位を形成する不純物をドーピングすることによって浅い準位を形成する不純物を補償する高抵抗層の成長が拡散不純物の影響で極めて難しい。

そこでn型高濃度拡散領域成長後にⅢ-V族化合物半導体結晶中にP型不純物をドーピングすることによりp型高濃度層をバッファ層として成長することによって、Si基板に流れる漏洩電流をブロックすることができることを見出した。またp型高濃度バッファ層およびn型高濃度層を流れる横方向電流についてはSi基板に連するメサエッチングを施すことによって防ぐことができる。

このP型バッファ層によりⅢ-V族化合物半導体結晶中にpn逆接合が形成され各Ⅲ-V族化合物半導体装置がSi基板から電気的に独立し、

複数の半導体素子を各々独立に駆動させることが可能となる。

(実施例)

以下本発明をLEDアレイに適用した実施例を図面を参照して詳細に説明する。第1図は本発明の実施例を示すLEDアレイの構造断面図である。本実施例ではSi基板11上にp型バッファ層12として亜鉛(Zn)を $1 \times 10^{19} \text{cm}^{-3}$ ドープしたGaAs層、p型クラッド層13として亜鉛(Zn)を $1 \times 10^{18} \text{cm}^{-3}$ ドープしたGa_{0.95}Al_{0.05}As層、活性層14としてノンドープGa_{0.95}Al_{0.05}As層、n型クラッド層15としてSiを $1 \times 10^{18} \text{cm}^{-3}$ ドープしたGa_{0.95}Al_{0.05}As層をMOCVD法にて順次積層してダブルヘテロ構造結晶を形成した。p型バッファ層12中には結晶成長時にSiが拡散してできたn型領域(Si拡散層19)が形成されている。次に得られたダブルヘテロ構造結晶の上にストライプ状のSiO₂層を形成し、これをマスクとしてSi基板に属くメサエッチングを施

し、更に一部P型電極を形成するためのエッチングを施し、メサ部を形成すると共にp型クラッド層13の一部を露出した。この後メサ側面にSiO₂層18を形成し、メサ部頂上及びp型クラッド層13を露出面にそれぞれ電極を16、17を形成してLEDアレイとした。前記LEDアレイのn型電極16とp型電極17に通電すると、p型バッファ層12とSi拡散層19とで構成されるpnブロック層とSiO₂層18の電流阻止効果により各LEDは独立に動作し、電気的に完全に独立していることが確認された。またSi基板は熱伝導がⅢ-V族化合物半導体と比べ極めて良いため各デバイスが熱的に干渉する現象は認められなかった。

本発明ではP型バッファ層にP型クラッド層を形成したが、P型クラッド層がP型バッファ層を兼ねる構造であっても本発明の趣旨からして同様の効果を有することは明らかである。

本発明の複数の機能を有する半導体装置として本実施例ではSi基板上のLEDアレイの例を述

べたが、複数の機能を有する半導体装置としては、 Si 基板上の半導体レーザアレイでもOEICでもAPDアレイでも化合物半導体集積回路でも本発明を適用できることは明らかである。

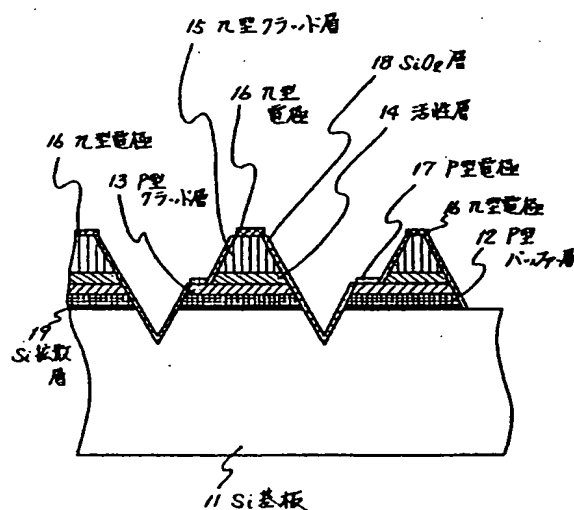
〔発明の効果〕

本発明によればシリコン(Si)基板上のⅢ-V族化合物半導体結晶に作成された複数の素子を有する半導体装置において、P型の導電性を有するバッファ層を用いて Si 基板と素子間の電気的な分離を行うことによって、 Si 基板状に複数の素子を有するⅢ-V族化合物半導体装置が得られる。

図面の簡単な説明

第1図は本発明の一実施例を示すLEDアレイの構造断面図である。

図において、11… Si 基板、12…p型バッファ層、13…p型クラッド層、14…活性層、15…n型クラッド層、16…n型電極、17…p型電極、18… SiO_2 層、19… Si



第1図

代理人 弁理士 内 原 晋